

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

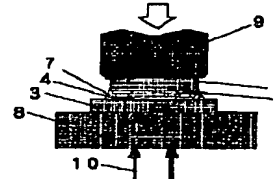
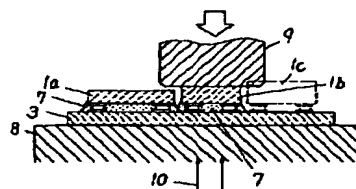
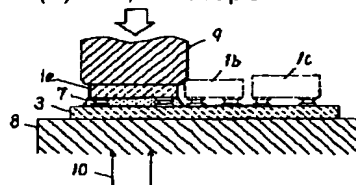
(11) Publication number: **06244238 A**(43) Date of publication of application: **02 . 09 . 94**(51) Int. Cl. **H01L 21/60**(21) Application number: **05027709**(22) Date of filing: **17 . 02 . 93**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **NAGAO KOICHI
FUJIMOTO HIROAKI**(54) **PACKAGING METHOD OF MULTICHIP MODULE**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To provide the packaging method in the microbump bonding mode capable of continuously packaging multiple semiconductor elements in different sizes and shapes using the same pressurizing jig.

CONSTITUTION: The packaging method of multichip module is characterized by the connection of multiple semiconductor elements 1a-1c to a wiring board 3 in the order from the thinnest one among the semiconductor elements using the same pressurizing jig by repeating the two steps as follows i.e., the first step of coating the gaps between the semiconductor elements 1a-1c and a wiring board 3 with an insulating resin 7 to make alignment and the second step of curing the insulating region 7 in the state of pressurized semiconductor element 1 and after releasing the pressurization, electrically connecting the electrode 2 of the semiconductor element 1 to the electrode 4 of the wiring board 3. Through these procedures, the packaging device can be made simple and cheaper as well as making the replacement of the pressurizing jig due to the model change needless thereby enabling the tact improvement of the packaging device to be realized.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-244238

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

H 0 1 L 21/60

識別記号

3 1 1 Q

庁内整理番号

6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-27709

(22)出願日 平成5年(1993)2月17日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 長尾 浩一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 藤本 博昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

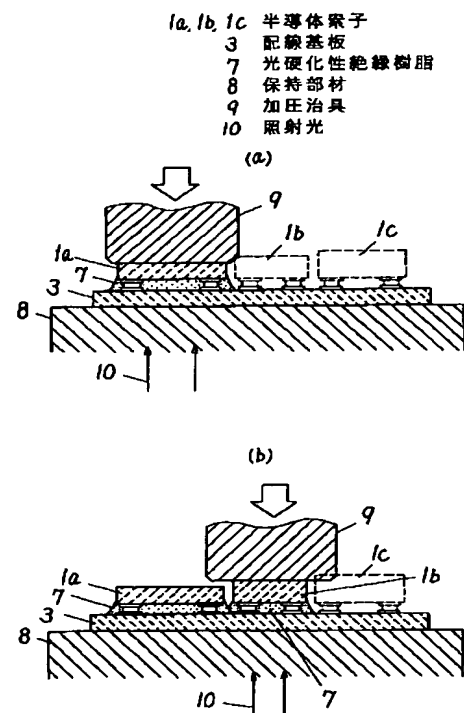
(54)【発明の名称】 マルチチップモジュールの実装方法

(57)【要約】

【目的】 同一の加圧治具で大きさ形状の異なる複数の半導体素子を連続的に実装できる、マイクロバンプボンディング方式のマルチチップモジュールの実装方法を提供する。

【構成】 半導体素子1と配線基板3の間に絶縁性樹脂7を塗布し位置合わせする工程と、半導体素子1を加圧した状態で絶縁性樹脂7を硬化し、その後加圧を除去し、半導体素子1の電極2と配線基板3の電極4を電気的に接続する工程との繰り返しにより、厚みの異なる複数の半導体素子(1a~1c)を半導体素子の中で厚みの薄い半導体素子より順に同一の加圧治具で配線基板に接続することを特徴とするマルチチップモジュールの実装方法。

【効果】 実装装置がシンプルで安価になるとともに、品種切替えによる加圧治具の交換を不要とし実装装置のタクト向上が実現できる。



【特許請求の範囲】

【請求項 1】配線基板あるいは半導体素子の表面に、絶縁性樹脂を塗布し、前記配線基板の電極と前記半導体素子の電極を一致させ、前記半導体素子を前記配線基板に設置する工程 A、

前記半導体素子を加圧治具で加圧し、前記半導体素子の電極と前記配線基板の電極を電気的に接続させ、前記半導体素子を前記加圧治具で加圧した状態で前記絶縁性樹脂を硬化し、その後、前記加圧を除去し、前記半導体素子を前記配線基板に固定すると共に、前記半導体素子の電極と前記配線基板の電極を電気的に接続する工程 B を具備し、

前記工程 A、前記工程 B の繰り返しにより、厚みの異なる複数の半導体素子を前記半導体素子の中で厚みの薄い半導体素子より順に同一の加圧治具で前記配線基板に接続することを特徴とするマルチチップモジュールの実装方法。

【請求項 2】半導体素子の裏面をあらかじめ研磨により削り、前記半導体素子の厚さに差異を設けることを特徴とする請求項 1 記載のマルチチップモジュールの実装方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は電極の一括接続方法に関し、特に複数の半導体素子をフェイスダウンで接続する実装方法に関するものである。

【0002】

【従来の技術】近年、多くの電気製品にマイコンが内蔵され、高機能化と自動化が進み、より使いやすくなってきている。この背景には、半導体加工技術の著しい進歩で、半導体素子の高集積化、1チップ化で、コストダウンが進んでいることが大きな機動力になっている。これにより、半導体素子は大型化、多ピン化され、これに伴い半導体素子の接続方法も狭ピッチ化、多ピン化が求められるようになってきた。

【0003】その中で最もこのニーズに答える接続方法として、半導体素子をフェイスダウンで一括接続するいわゆるフリップチップ方式が挙げられる。その中でも半導体素子と配線基板間に光硬化性絶縁樹脂を介在させ、半導体素子を加圧することにより電気的接続を行う MBB（マイクロバンプボンディング）法が最も高密度な接続方式である。

【0004】最近では、さらに実装密度を上げる方法として、一枚の配線基板に多数の半導体素子を実装し、その基板を一つのモジュールとして扱うマルチチップモジュール（MCM）も実用化の段階に来ている。

【0005】以下に従来の MCM の接続方法の一例について説明する。図 3 は MBB 実装の断面構造を示している。図 3 において、1 は半導体素子、3 は配線基板、7 は光硬化性絶縁樹脂（以下樹脂）、9 は加圧治具、10

は照射光である。電極 2 を有する半導体素子 1 と電極 4 を有する配線基板 3 との間に樹脂 7 を塗布して、加圧治具 9 により半導体素子 1 を加圧し、照射光 10 により樹脂 7 を硬化させ、その後加圧を解除する事により、半導体素子 1 の電極 2 と配線基板 3 の電極 4 とを、上記樹脂 7 の硬化の際に発生する収縮応力によって圧接、電気的に接続する。マルチチップモジュールとするには、さらに前記の工程を繰り返し行い、複数の半導体素子を実装していく。通常マルチチップモジュールには、複数の品種の半導体素子を使用されるが、品種毎に形状や大きさが異なる。

【0006】図 4 はその従来例のマルチチップモジュールの実装工程断面図を示している。半導体素子 1 a、1 b、1 c のいずれよりも大きな加圧面を持つ加圧治具 9 で半導体素子 1 a、1 b、1 c を順次実装していく。図 4（b）において、半導体素子 1 a を実装した後、半導体素子 1 b を加圧する際、加圧治具 9 に半導体素子 1 a が接触し、半導体素子 1 b は加圧不良を生じてしまう。一般的に半導体素子の厚みは 10 ～ 20 μm のばらつきを持っているためである。これを対策する為、加圧治具は品種毎に合わせて作られる。

【0007】図 5 はその従来例のマルチチップモジュールの実装工程断面図を示している。半導体素子 1 a を実装する場合には半導体素子 1 a と同じ大きさの加圧面を持つ加圧治具 9 a を使用し、半導体素子 1 b を実装する場合には半導体素子 1 b と同じ大きさの加圧面を持つ加圧治具 9 b を使用する。すなわち、半導体素子 1 品種に 1 つの加圧治具を必要とし、加圧治具の交換に伴う生産性の低下で、設備コストの増加を招き大変コストの高いものになる。

【0008】

【発明が解決しようとする課題】したがって上記の構成では、加圧治具は品種毎にに合わせて作られ、実装装置は品種数だけの加圧治具と保持部材を備えていなければならない、実装装置が大がかりで高額になるという問題点を有していた。本発明はこれら上記の従来の問題点を解決するもので、1 台の実装装置に 1 組の加圧治具と保持部材で複数の品種に対応するマルチチップモジュールの実装方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記問題点を解決するために本発明の実装方法は、配線基板あるいは半導体素子表面に、絶縁性樹脂を塗布し、配線基板の電極と半導体素子の電極を一致させ、半導体素子を配線基板に設置する工程 A と、半導体素子を加圧治具で加圧し、半導体素子の電極を配線基板の電極を電気的に接続させ、半導体素子を加圧した状態で絶縁性樹脂を硬化し、その後加圧を除去し、半導体素子を配線基板に固定すると共に、電気的に接続する工程 B にて、工程 A、工程 B の繰り返しにより、厚みの異なる複数の半導体素子を厚みの薄い半

導体素子より順に同一の加圧治具で配線基板に接続するという構成を備えたものである。

【0010】

【作用】本発明は上記の構成によって、隣接する半導体素子のうち、先に実装された半導体素子の厚みより後で実装する半導体素子の厚みの方が厚く、後で実装する半導体素子を加圧する際に、加圧治具が先に実装された半導体素子に接触し加圧不良を起こすことなく、大きさ形状の異なる複数の品種の半導体素子をいずれの半導体素子よりも大きな加圧面を持つ同一の加圧治具で加圧する

【0011】

【実施例】以下本発明の実装方法の一実施例について、図面を参照しながら説明する。

【0012】図1は本発明の実施例における実装方法の工程断面図を示すものである。図1(a)において、1は半導体素子、2は半導体素子に形成された電極で例えばAu突起電極、3は配線基板、4は配線基板に形成された電極、7は樹脂、8は配線基板の保持部材、9は加圧治具、10は照射光である。

【0013】配線基板3上の半導体素子1aの実装領域に樹脂7を塗布し、半導体素子1aの電極2と配線基板3の電極4とを位置合わせし、半導体素子1aを半導体素子1a、1b、1cのいずれよりも大きな加圧面を持つ加圧治具9を用いて加圧する。この時、樹脂7は半導体素子1の側へ塗布しても良い。この加圧により樹脂7は、半導体素子1aの電極2と配線基板3の電極4の間から押し出され、電極2と電極4は直接接し、電気的に接続される。

【0014】次に、この加圧を維持し、電極2と電極4が電気的に接続された状態で、照射光10を配線基板側もしくは半導体素子側から照射し、樹脂7を硬化させると、半導体素子1と配線基板3は樹脂7の接着力で固定され、電極2と電極4は樹脂7の硬化反応時の収縮力で電気的な接続が維持される。硬化後加圧治具9を除去しても、樹脂7の接着力と収縮力により、電極2と電極4は電気的な接続が維持される。半導体素子1の電極2はたとえばAu突起電極であるが、あるいはこの突起電極は配線基板3の電極4に設けても良い。

【0015】次に、図1(b)において、半導体素子1aに隣接した半導体素子1bを同一の加圧治具9を用いて同様に加圧し樹脂7を硬化する。この時、半導体素子1bの厚みは半導体素子1aよりも厚くしておく。

【0016】図2は、半導体素子1a、1b、1cのそれぞれの厚みの関係を示したものである。ここでは、半導体素子1a、1b、1cの順番で実装していくが、半導体素子の厚みは、1a、1b、1cの順番で厚くなっている。一般に半導体素子を製造する時に用いられるシリコンウエハの厚み11は、ウエハ状態での機械的強度を確保するために厚く設定されるが、実際に使用する場

合には、実装厚を薄くするために半導体素子の裏面を研磨する。半導体素子の厚みは、半導体素子裏面の研磨の際に、半導体素子の品種毎に研磨量を変化させることにより実現できる。

【0017】一例を挙げると、通常裏面研磨後の半導体素子の厚みのばらつきは、10~20μmあるため、実施例においては半導体素子1bは半導体素子1aより30~40μm研磨量を少なくし、結果として半導体素子1bの厚み11bは半導体素子1aの厚み11aより30~40μm厚くなる。

【0018】このように半導体素子の厚みに差異を設けることにより、図1(b)において、半導体素子1bを加圧する際に半導体素子1aに加圧治具9が接触しないため、半導体素子1bは加圧不良を起こさずに済む。以降も同様に、半導体素子1bに隣接した半導体素子1cを同一の加圧治具9を用いて加圧し樹脂7を硬化していく。したがって、加圧治具9は半導体素子の品種間で大きさや形状がどのように変わっても、同一の治具で対応できるわけである。

【0019】

【発明の効果】以上のように本発明は、下記の効果がある。

(a) 1台の実装装置に1組の加圧治具と保持部材があるだけで大きさ形状の異なる複数の品種の半導体素子の実装ができることから、実装装置はシンプルで安価にすることができる。また、加圧治具と保持部材は1組しかないため、その維持管理も最小限で済む。

(b) 1つのマルチチップモジュールを完成させるあたり、加圧治具の交換をせずに異なる品種の半導体素子を連続的に実装できるため、実装装置のタクトを向上させることができる。

(c) 加圧治具の加圧面は使用する半導体素子の大きさより大きければよいので、大きめの加圧面を持つ加圧治具を設計しておけば、機種切り替えや品種切り替えによる加圧治具の調整をいっさい必要としない。

【図面の簡単な説明】

【図1】本発明のマルチチップモジュールの実装方法の一実施例を示す工程断面図

【図2】同実施例において用いる半導体素子の断面図

【図3】モジュールの実装状態を示す断面図

【図4】従来の実装方法を示す工程断面図

【図5】従来の実装方法における課題の説明図

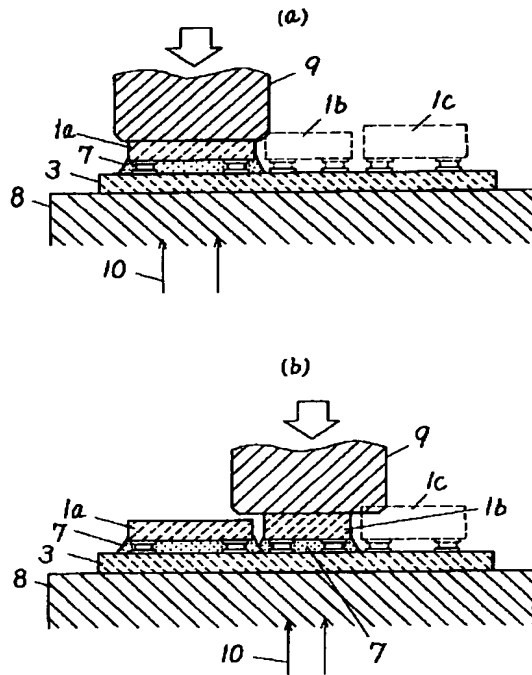
【符号の説明】

- 1 半導体素子
- 2 電極
- 3 配線基板
- 4 電極
- 7 光硬化性絶縁樹脂
- 8 保持部材
- 9 加圧治具

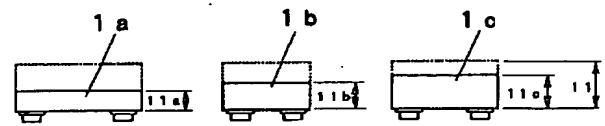
10 照射光

【図1】

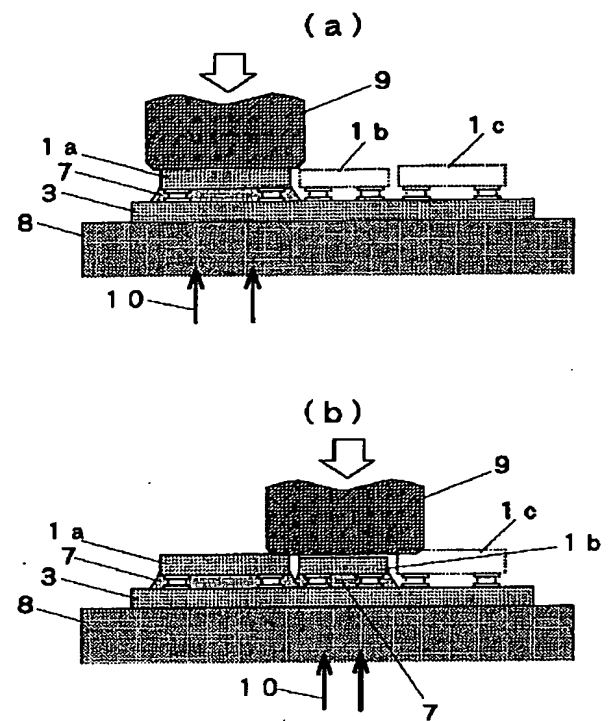
1a, 1b, 1c 半導体素子
 3 配線基板
 7 光硬化性絶縁樹脂
 8 保持部材
 9 加圧治具
 10 照射光



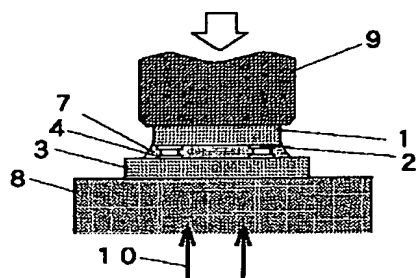
【図2】



【図4】



【図3】



【図5】

